

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03339938 **Image available**

PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 03-002838 [JP 3002838 A]

PUBLISHED: January 09, 1991 (19910109)

INVENTOR(s): SENDA KOJI

FUJII EIJI

EMOTO FUMIAKI

YAMAMOTO ATSUYA

NAKAMURA AKIRA

UEMOTO YASUHIRO

APPLICANT(s): MATSUSHITA ELECTRON CORP [000584] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-136084 [JP 89136084]

FILED: May 31, 1989 (19890531)

INTL CLASS: [5] G02F-001/136; G02F-001/13; G09F-009/30; H01L-029/90;
H01L-029/91

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -
Glass Conductors)

JOURNAL: Section: P, Section No. 1180, Vol. 15, No. 111, Pg. 72, March
18, 1991 (19910318)

ABSTRACT

PURPOSE: To prevent the electrostatic breakdown during production by connecting all of the bonding pads, gate signal lines and source signal lines of a scanning circuit to the intermediate of protective diodes, each of which consists of two pieces of series-connected diodes, connecting the other ends of both thereof to common lines, and producing the display device in this state.

CONSTITUTION: All of the gate signal lines 5, the source signal lines 6 and the bonding pads 8 are connected to the series junctions of the protective diodes 9, each of which consists of two series of the diodes connected in series in the same direction, from which all of the above-mentioned lines

Best Available Copy

and pads are connected to the common line 10 and the common line 11. Further, the common line 10 and the common line 11 are provided by protective resistors 13 and are connected by a short circuiting line 12. All of the gate signal lines 5, the source signal lines 6 and the bonding pads 8 are, therefore, maintained at the same potential. The electrostatic breakdown of thin-film transistors 4, a vertical scanning circuit 2 and a horizontal scanning circuit 3 is prevented in this way.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008549492 **Image available**

WPI Acc No: 91-053543/199108

XRPX Acc No: N91-041306

**Method for manufacturing liquid-crystal display unit - avoiding voltage
difference between gate lines, source signal lines or bonding pads of
scanning circuit NoAbstract Dwg 1/4**

Patent Assignee: MATSUSHITA ELECTRONICS CORP (MATE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 3002838	A	19910109	JP 89136084	A	19890531		199108 B

Priority Applications (No Type Date): JP 89136084 A 19890531

Title Terms: METHOD; MANUFACTURE; LIQUID; CRYSTAL; DISPLAY; UNIT; AVOID;
VOLTAGE; DIFFER; GATE; LINE; SOURCE; SIGNAL; LINE; BOND; PAD; SCAN;
CIRCUIT; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;
H01L-029/90

File Segment: EPI; EngPI

Best Available Copy

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-2838

⑫ Int.Cl.¹ 識別記号 庁内整理番号 ⑬ 公開 平成3年(1991)1月9日
 G 02 F 1/136 101 9018-2H
 1/13 338 8806-2H
 G 09 F 8/30 D 8621-5C
 H 01 L 29/90 7638-5F
 29/91 7638-5F H 01 L 29/91 E
 審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 液晶表示装置の製造方法

⑮ 特 願 平1-136084

⑯ 出 願 平1(1989)5月31日

⑰ 発 明 者 千 田 耕 司 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 藤 井 英 治 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲ 発 明 者 江 本 文 昭 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑳ 発 明 者 山 本 敦 也 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ㉑ 発 明 者 中 村 晃 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ㉒ 発 明 者 上 本 康 裕 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ㉓ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ㉔ 代 理 人 弁理士 星 野 恒 司

明 細 書

(従来の技術)

1. 発明の名称 液晶表示装置の製造方法

2. 特許請求の範囲

(1) 液晶表示装置を構成する基板上に、短絡部により短絡させた2本の共通ラインを形成し、かつ、ゲート信号線、ソース信号線、及びそれらの信号線の電圧回路のボンディングパッドの全てを、電流特性を有する素子2個を同一電流方向に直列接続してなる、両端が上記2本の共通ラインにそれぞれ順方向に接続した整流ダイオードの、上記直列接続部に接続して製造することを特徴とする液晶表示装置の製造方法。

(2) 電流特性を有する素子は、整流ダイオード、πダイオード、αまたはβチャネル電圧トランジスタの何れか一つであることを特徴とする請求項(1)記載の液晶表示装置の製造方法。

3. 発明の効果を説明

(産業上の利用分野)

本発明は、液晶表示装置の製造方法に関する。

近年、画像または文字等を液晶により表示する液晶表示装置は、軽量、薄型、そして低消費電力等の特長を有するところから、フラットパネル・ディスプレイとして注目を集めている。

第4図は、そのような従来の電圧回路を内蔵したアクティブ・マトリクス方式の液晶表示装置の回路を示しており、1は表示部、2は垂直電圧回路、3は水平電圧回路、4は駆動トランジスタ(以下、TFTと記す)、5はゲート信号線、6はソース信号線、7は駆動電極、そして8はボンディングパッドである。

このように構成した液晶表示装置は、垂直電圧回路2により順番にゲート信号線5を走査し、他方水平電圧回路3により順次ソース信号線6を走査することにより、全ての駆動電極7に順番に画像情報を書き込むことができ画像を表示することができる。

(発明が解決しようとする課題)

しかしながら、このような構成の液晶表示装置

特開平3-2838 (2)

は製造中、液晶配向膜のラビングや、液晶注入等を行なう際に静電気が発生する場合があります。それにより両側部や、垂直走査回路あるいは水平走査回路を構成するTFTが静電破壊され、その結果、部分的に両側部が機能せず、したがって製品の表示品質が劣化する欠点があった。

本発明は、上述した製造中の静電破壊の問題点を排除する液晶表示装置の製造方法の提供を目的とする。

(問題を解決するための手段)

本発明は上記の目的を、液晶表示装置を構成する基板上に、短絡線により短絡させた2本の共通ラインを形成し、かつ、ゲート信号線、ソース信号線、及びそれらの信号線の走査回路のボンディングパッドの全てを、電流特性を有する素子2個を同一電流方向に直列接続してなる、両端が上記2本の共通ラインにそれぞれ順方向に接続した保護ダイオードの、上記直列接続部に接続して、ゲート信号線、ソース信号線、及びそれらの信号線の走査回路のボンディングパッドの全てに電位差

を有しない状態として製造することにより達成する。

(作用)

本発明によれば、たとえば液晶工程やTFT基板の製造時に静電気が発生しても、ゲート信号線、ソース信号線およびボンディングパッド間に電位差を発生しないから、TFTの静電破壊が防止され信頼性が高く品質のよい液晶表示装置が得られよく製造できることになる。

(実施例)

以下、本発明を図面を用いて実施例により説明する。

第1図は本発明の一実施例を示す図で、全量回路を内蔵したアクティブ・マトリクス方式の液晶表示装置の回路構成を示し、9は保護回路としての保護ダイオード、10は共通ライン(V_{cs})、11は共通ライン(V_{cs})、12は画像表示装置の製造中、前記の共通ライン(V_{cs})10、共通ライン(V_{cs})11間を短絡するための短絡線、13は1kΩないし10kΩ程度の保護抵抗であり、その他の説明しない

いはないし8の符号は第4図と同じものを示している。

本発明は図示したように、ゲート信号線5、ソース信号線6およびボンディングパッド8の全てを、2個のダイオードを同一方向に直列接続してなる保護ダイオード9の、上記直列接続部に接続して共通ライン(V_{cs})10と共通ライン(V_{cs})11に接続されており、さらに共通ライン(V_{cs})10と共通ライン(V_{cs})11とは短絡線12によって保護抵抗13を設けて接続されている。したがって、全てのゲート信号線5、ソース信号線6およびボンディングパッド8は同電位に保たれる。

たとえば液晶工程の配向膜のラビング中に静電気が発生し、あるゲート信号線5が正の電位にチャージされたとしても、保護ダイオード9を経て電流が共通ライン(V_{cs})11に流出するため、ゲート信号線5の電位は殆ど上昇せず、同時に静電気により逆に負の電位にチャージされても、保護ダイオード9を経て電流が共通ライン(V_{cs})10から流入するため、ゲート信号線5の電位は殆ど低下

することはない。

すなわち、静電気によりゲート信号線5、ソース信号線6およびボンディングパッド8は暫時、同電位になっているから、TFT4や、垂直走査回路2、水平走査回路3等の静電破壊が防止されることになる。

なお、製品を液晶表示装置として出荷する場合は、たとえばレーザカッター等により短絡線12をカットし、共通ライン(V_{cs})10に必要な駆動電圧の一番低い、たとえば0Vに設定し、また、共通ライン(V_{cs})11は必要な駆動電圧の一番高い、たとえば20Vに設定しておけば、全ての保護ダイオード9は逆バイアス状態になるから、ゲート信号線5、ソース信号線6やボンディングパッド8には、共通ライン(V_{cs})10、共通ライン(V_{cs})11から不要な電流は流れない。すなわち、液晶表示には支障はない。

また、1kΩないし10kΩの保護抵抗13が共通ライン(V_{cs})10と共通ライン(V_{cs})11間に接続されているから、それに0Vと20Vの電圧をそれぞれ

特開平3-2838(3)

印加することができ、したがって、短絡線12をカットする必要なく、製造中の垂直走査回路2または水平走査回路3のプロープ検査等を行なうことが可能で、製造に支障を来すことはない。

第2図は、保護ダイオード9を説明する図である。保護ダイオード9は図(a)のように、2個のダイオード(D₁)11、ダイオード(D₂)12の直列接続回路により形成され、その接続部Pに信号線やボンディングパッド等を接続し、両端は、共通ライン(V₀)10から共通ライン(V₀)11を順方向としてそれぞれ接続される。また図(b)は、ダイオードを、それぞれnチャネルTFT11'および、pチャネルTFT22'により形成した保護ダイオードの例を示し、特に図示の例は耐圧を高くするために、マルチゲートのTFTにより形成したものを示しているが、これは単ゲートのTFTであってもよいことは明らかである。

第3図は保護ダイオード9の他の例を示す横断面図で、pinダイオードの断面を示しており、このようなpinダイオードも保護ダイオード9

に使用することが可能である。

以上本発明を実施例により説明したが、保護ダイオードは上述したTFTやpinダイオードに限定されるものではなく、整流特性を有する素子であれば利用できること、また、上述の実例は走査回路を内蔵したアクティブ・マトリクス方式の液晶表示装置に適用したが、走査回路を内蔵しない、アモルファスシリコンTFTを用いたアクティブ・マトリクス方式の液晶表示装置にも適用されること等はいうまでもない。

(発明の効果)

以上、説明して明らかなように本発明は、走査回路のボンディングパッド、ゲート信号線、ソース信号線の全てを、ダイオードを2個直列接続してなる保護ダイオードの中間に接続し、その両端部を共通ラインに接続した状態にさせて製造するから、TFTの素子が常に同電位において製造され、したがってTFTの移動特性を歪せず、そのための製造の手間が向上するとともに、画質が破壊されない品質の高い液晶表示装置の提供が可能

な効果がある。

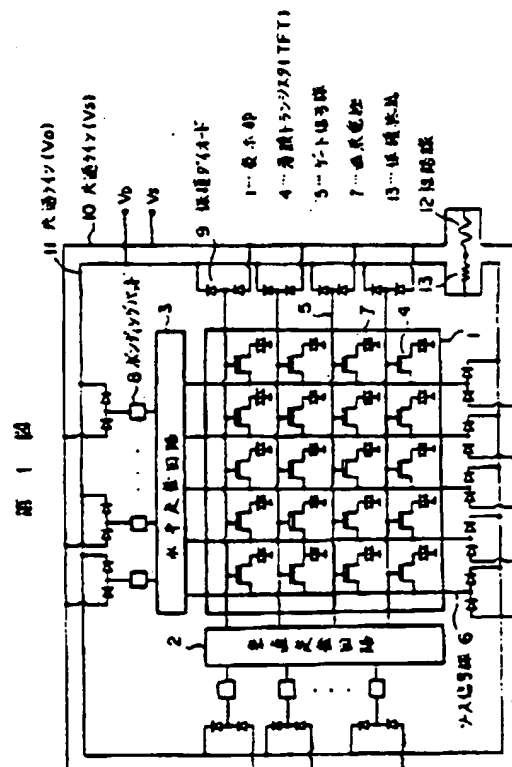
4. 図面の簡単な説明

第1図は本発明の一実施例を説明する液晶表示装置の回路構成図、第2図、第3図は説明補助図で保護ダイオードの例を示す図、第4図は従来の液晶表示装置の回路構成図である。

- 1 … 表示部、 2 … 垂直走査回路、
- 3 … 水平走査回路、 4 … 薄層トランジスタ(TFTと記す)、 5 … ゲート信号線、 6 … ソース信号線、 7 … 開源電極、 8 … ボンディングパッド、
- 9 … 保護ダイオード、 10 … 共通ライン(V₀)、 11 … 共通ライン(V₀)、 12 … 短絡線、 13 … 保護抵抗、 21 … ダイオード(D₁)、 22 … ダイオード(D₂)、 21' … nチャネルTFT、 22' … pチャネルTFT、

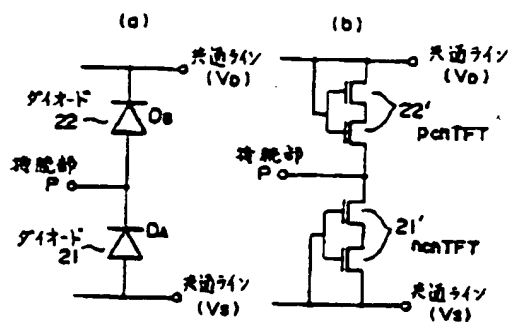
特許出願人 松下電子工業株式会社

代理人 星 野 隆 司

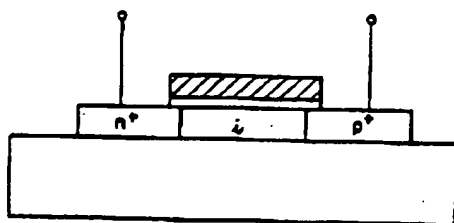


特開平3-2838 (4)

第 2 図



第 3 図



第 4 図

